

## Citation 2

(Translation of Relevant parts and Abstract)

Japanese Patent Application Laying Open (KOKAI) No. 4-335431

laid open to the public November 24, 1992

Japanese Patent Application No. 3-106252

filed May 13, 1991

Priority(ies) claimed: None

Applicant(s): NEC Corporation, Tokyo, Japan

Inventor(s): Noriaki SAKAI, Japanese citizen

Title of Invention: INFORMATION PROCESSOR

Detailed Description of the Invention:

[0004]

[Problems to be Solved by the Invention]

An information processing unit according to the present invention including buffers, instruction prefetch means for prefetching a multi-stream instruction by using the instruction buffers comprises high speed address converting mechanism of direct map system, first selection means for selecting a stream number previously given to each instruction stream, second selection means for selecting an instruction prefetching address associated with the instruction stream, address combining means for combining addresses

by using a predetermined part of an output from the first selection means and an output from the second selection means, and high speed address converting means for indexing and registering by using an output from the combining means as reading and writing address and a predetermined part of an output from the second selection means as comparing address.

[0006]

Figure 1 shows an embodiment of the present invention. In Figure 1, the reference number 1 denotes a selector for selecting a stream number of an instruction stream to be fetched next. The reference numbers 2, 3 and 4 denote registers for keeping instruction prefetching addresses of respective instruction streams. For each register of the embodiment, instruction address register 2 is assigned to for stream #0, instruction address register 3 is assigned to stream #1 and instruction address register 4 is assigned to stream #2. The stream number that is an output from selector 1 is input into selector 6 and address combining means 7. Selector 6 switches outputs from instruction address registers 2-4 according to the input stream number. The output from selector 6 is input into plus 4 counter 5, added by four bytes for retrieving the next instruction, and written into an instruction address register corresponding to the stream number used for selection in selector 6.

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-335431  
(43) Date of publication of application : 24.11.1992

---

(51) Int.CI. G06F 9/38  
G06F 12/02  
G06F 12/08  
G06F 12/10

---

---

(21) Application number : 03-106252 (71) Applicant : NEC CORP  
(22) Date of filing : 13.05.1991 (72) Inventor : SAKAI NORIAKI

---

(54) INFORMATION PROCESSOR

(57) Abstract:

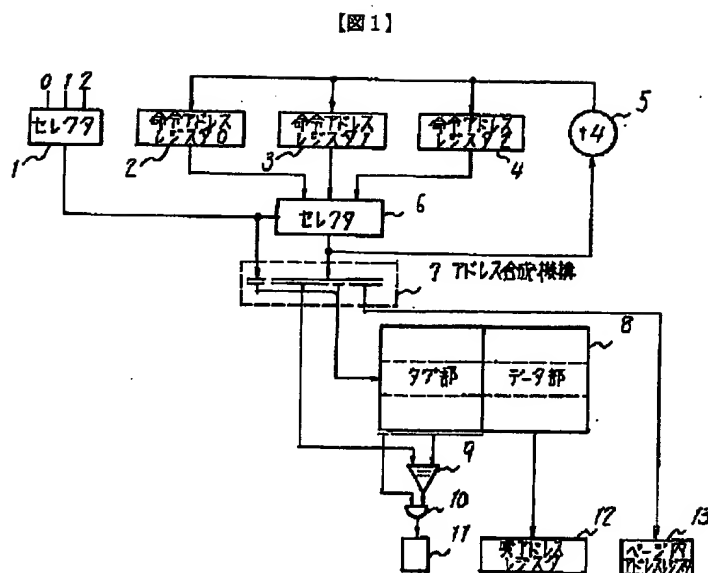
PURPOSE: To eliminate the confliction between instruction prefetch addresses of different streams, and to efficiently use the high speed address converting mechanism of a direct map system by synthesizing an address by the selected stream number and a part determined in advance of the instruction prefetch address and setting it as a read/write address, and setting the part determined in advance as a comparison address.

CONSTITUTION: In the information processor provided with an instruction prefetch mechanism for prefetching a multi-stream instruction by using plural instruction buffers and a high speed address converting mechanism of a direct map system, the stream number given in advance to each instruction stream is selected by a selector 6, and an instruction prefetch address related to this instruction stream is selected. An address is synthesized by the selected stream number and a part determined in advance of the instruction prefetch address, its output is set as a read/write address, the part determined in advance is set as a comparison address and index and registration are executed.

---

Copyright (C); 1998,2003 Japan Patent Office

**Fig. /**



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-335431

(43)公開日 平成4年(1992)11月24日

(5)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 1 0 B	8725-5B		
12/02	5 7 0	8841-5B		
12/08	D	7232-5B		
12/10	A	7232-5B		

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平3-106252

(22)出願日 平成3年(1991)5月13日

(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 境 則彰  
東京都港区芝五丁目7番1号日本電気株式  
会社内

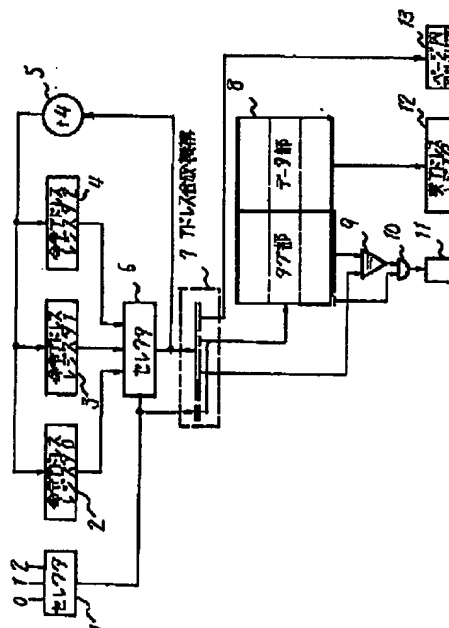
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 情報処理装置

(67) 【要約】

【構成】複数の命令バッファを備え、該複数の命令バッファを用いてマルチストリーム命令先取りをおこなう命令先取り機構とダイレクトマップ方式の高速アドレス変換機構を備える情報処理装置において、各命令ストリームにあらかじめ与えられたストリーム番号を選択し、この命令ストリームに関連づけられた命令先取りアドレスを選択する。選択したストリーム番号と命令先取りアドレスのあらかじめ定められた一部分によりアドレスを合成し、その出力を読み出し及び書き込みアドレスとし、あらかじめ定められた部分を比較アドレスとして索引、登録をおこなう。

【効果】選択されたストリーム番号と命令先取りアドレスの予め定められた一部分によりアドレスを合成し読み出し及び書き込みアドレスとし、予め定められた部分を比較アドレスとするので、異なるストリームの命令先取りアドレスの間の競合をなくし、効率良くダイレクトマップ方式の高速アドレス変換機構を使用できるという効果がある。



(2)

特開平4-335431

1

【特許請求の範囲】

【請求項1】 複数の命令バッファを備え、該複数の命令バッファを用いてマルチストリーム命令先取りをおこなう命令先取り機構と、ダイレクトマップ方式の高速アドレス変換機構を備える情報処理装置において、各命令ストリームにあらかじめ与えられたストリーム番号を選択する第1の選択手段と、該命令ストリームに関連づけられた命令先取りアドレスを選択する第2の選択手段と、前記第1の選択手段の出力と、前記第2の選択手段の出力のあらかじめ定められた一部分によりアドレスを合成するアドレス合成手段と、該アドレス合成手段の出力を読み出し及び書き込みアドレスとし、前記第2の選択手段の出力のあらかじめ定められた部分を比較アドレスとして索引、登録をおこなう高速アドレス変換機構とを備えることを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置に関し、特に命令の先取りの際の高速アドレス変換機構の索引、登録処理を行う情報処理装置に関する。

【0002】

【従来の技術】 従来、この種の情報処理装置にはアドレス変換を高速におこなうために高速アドレス変換機構を備えるものが多い。また分岐命令処理のオーバーヘッドを減らすためにマルチストリーム命令先取り機構を備えるものがある。高速アドレス変換機構については「Cache Memories」A. J. SMITH ACM Computing Surveys Vol14, No. 3 Sep. 1982に記載されている。またマルチストリーム命令先取り機構については日経エレクトロニクス別冊コンピュータ「IBM3033プロセッサの内部設計とパフォーマンス」に記載されている。

【0003】

【発明が解決しようとする課題】 従来の情報処理装置では、セットアソシアティブ方式の大容量高速アドレス変換機構や、フルアソシアティブ方式の小容量高速アドレス変換機構を備えるものが多い。これらは限定されたハードウェア資源を使用して、高いアドレス変換効率を達成することを目的としている。一方、高速アドレス変換機構の索引速度を高めるためには、セットアソシアティブやフルアソシアティブ方式は構造上不利でダイレクトマップ方式が有利となる。反面、ダイレクトマップ方式はエントリの競合のためにアドレス変換効率の面で不利になるという欠点がある。

【0004】

【課題を解決するための手段】 本発明の情報処理装置は複数の命令バッファを備え、該複数の命令バッファを用いてマルチストリーム命令先取りをおこなう命令先取り機構と、ダイレクトマップ方式の高速アドレス変換機構を備える情報処理装置において、各命令ストリームに

2

あらかじめ与えられたストリーム番号を選択する第1の選択手段と、該命令ストリームに関連づけられた命令先取りアドレスを選択する第2の選択手段と、該第1の選択手段の出力と該第2の選択手段の出力のあらかじめ定められた一部分によりアドレスを合成するアドレス合成手段と、該合成手段の出力を読み出し及び書き込みアドレスとし、該第2の選択手段の出力のあらかじめ定められた部分を比較アドレスとして索引、登録をおこなう高速アドレス変換機構とを備える。

10 【0005】

【実施例】 次に本発明について図面を参照して説明する。

【0006】 図1は本発明の一実施例を示す。図1において1は次にフェッチする命令ストリームのストリーム番号を選択するセレクトである。2、3、4はそれぞれ各命令ストリームの命令先取りアドレスを保持するレジスタである。本実施例の各レジスタはストリーム#0用命令アドレスレジスタ2、3はストリーム#1用命令アドレスレジスタ3、ストリーム#2用命令アドレスレジスタ4に割り当てられている。セレクト1の出力であるストリーム番号はセレクト6とアドレス合成手段7に入力される。セレクト8は入力したストリーム番号に応じて、命令アドレスレジスタ2～4の出力を切り換える。セレクト6の出力はプラス4カウンタ5に入力され、次の命令取り出しのために4バイト分加算された後、セレクト6において選択に使用したストリーム番号に対応した命令アドレスレジスタに書き込まれる。

【0007】 アドレス合成手段7にはセレクト1、6の出力が入力され、アドレスの合成がおこなわれる。合成されたアドレスは高速アドレス変換機構8～12に供給され索引、登録に使用される。本実施例ではストリーム番号部と命令アドレスのページアドレス部の下位ビットが高速アドレス変換機構のタグ部、データ部8の索引に使用される。命令アドレスのページアドレス部上位ビットは比較回路9に入力されタグ部より読み出された予め登録されていた命令アドレスのページアドレス部上位ビットと比較される。タグ部には有効なデータが登録されていることを示すフィールドが含まれており、このフィールドの出力がアンドゲート10に入力され比較回路9の出力と論理積がとられる。アンドゲート10の出力はフリップフロップ11に設定される。フリップフロップ11は高速アドレス変換機構に索引に使用した命令アドレスが登録されているか否かを示すフラグである。実アドレスレジスタ12にはデータ部8の出力が格納される。フリップフロップ11が“1”のとき、実アドレスレジスタ12には索引した命令アドレスに対応した実アドレスが格納されキャッシュメモリの索引等に使用される。アドレス合成手段7より命令読み出しアドレスのページ内アドレスが出力されページ内アドレスレジスタ13に設定され実アドレスレジスタ12の出力と共にキャ

(3)

特開平4-335431

3

ッシュメモリの索引に使用される。

【0008】本実施例では、命令ストリームが3本であり、高速アドレス変換機構のタグ部、データ部8が3分割される。タグ部、データ部を索引するアドレスは命令ストリームのストリーム番号と命令アドレスのページアドレス部の数ビットであるが、ビット位置やビット数は命令ストリームの本数、タグ部、データ部8の容量に応じて決まり、装置によって異なる。

【0009】

【発明の効果】以上説明したように本発明は複数の命令バッファを備え該複数の命令バッファを用いてマルチストリーム命令先取りをおこなう命令先取り機構とダイレクトマップ方式の高速アドレス変換機構を備える情報処理装置において、各命令ストリームにあらかじめ与えられたストリーム番号と該命令ストリームに関連づけられた命令先取りアドレスとを選択し、その出力のあらかじめ定められた一部分によりアドレスを合成し、その出力を読み出し及び書き込みアドレスとしてあらかじめ定め

4

られたストリーム番号部分を比較アドレスとして索引、登録をおこなうことにより、異なるストリームの命令先取りアドレスの間の競合をなくし、効率良くダイレクトマップ方式の高速アドレス変換機構を使用できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す図である。

【符号の説明】

- 1, 6 セレクタ
- 2, 3, 4 命令アドレスレジスタ
- 5 プラス4カウンタ
- 7 アドレス合成機構
- 8 タグ部、データ部
- 9 比較回路
- 10 アンドゲート
- 11 ビットフラグ
- 12, 13 実アドレス/ページ内アドレスレジスタ

【図1】

